

1751-291
GFR:gmb

1/12
5/13/02
Malish

JC997 U.S. PTO
10/024475



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: :
: :
Chan-ho PARK :
: :
Serial No. Not Yet Assigned :
: :
Filed: December 21, 2001 :
: :
For: HIGH VOLTAGE SEMICONDUCTOR: :
DEVICE HAVING HIGH :
BREAKDOWN VOLTAGE AND :
METHOD OF FABRICATING THE :
SAME :

SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Under the provisions of 37 C.F.R. §1.55, Applicants submit herewith a certified copy of the following application upon which priority is claimed in the above-identified application:

Korean Patent Application No. 2001-2166, filed January 15, 2001

Acknowledgment of the claim for priority and receipt of the attached certified copy are courteously solicited.

Respectfully submitted,

By: G. F. Rothwell
G. Franklin Rothwell
Attorney for Applicants
Registration No. 18,125
ROTHWELL, FIGG, ERNST & MANBECK
Suite 701-E, 555-13th Street, N.W.
Washington, D.C. 20004
Telephone: 202-783-6040

jc997 U.S. PTO
10/024475
12/21/01

KOREAN INDUSTRIAL PROPERTY OFFICE

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

Application Number: 2001-2166

Date of Application: 15 January 2001

Applicant(s): Fairchild Korea Semiconductor Ltd.

30 January 2001

COMMISSIONER

PATENT APPLICATION

[Document Name]	Patent Application
[Application Type]	Patent
[Receiver]	Commissioner
[Reference No.]	0001
[Filing Date]	2001.01.15
[IPC]	H01L
[Title]	High voltage semiconductor device having high breakdown voltage and method for fabricating the same
[Applicant]	
Name:	Samsung Electronics Co., Ltd.
Applicant code:	1-1998-104271-3
[Attorney]	
Name:	Young-pil Lee
Attorney's code:	9-1998-000334-6
Reg. No. of General	
Power of Attorney:	1999-009556-9
Name:	Sang-bin Jeong
Attorney's code:	9-1998-000541-1
Reg. No. of General	
Power of Attorney:	1999-009617-5
[Inventor]	
Name:	Chan-ho Park
I.D. No.	640102-1406122
Zip Code:	305-345
Address:	103-1007, Hana Apt., 153, Shinseong-dong, Yooseong-gu, Daejeon-city, Republic of Korea
Nationality:	Republic of Korea
[Request for Examination]	Requested

[Application Order] We respectively submit an application according to Art. 42 of the Patent Law and request an examination according to Art. 60 of the Patent Law, as above.

Attorney
Attorney

Young-pil Lee (seal)
Sang-bin Jeong (seal)

[Fee]

Basic page:	20 Sheet(s)	29,000 won
Additional page:	4 Sheet(s)	4,000 won
Priority claiming fee:	0 Case(s)	0 won
Examination fee:	7 Claim(s)	333,000 won
Total:		366,000 won

[Enclosures]

1. Abstract and Specification (and Drawings) 1 copy each

jc997 U.S. PTO
10/024475
12/21/01

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2001년 제 2166 호
Application Number

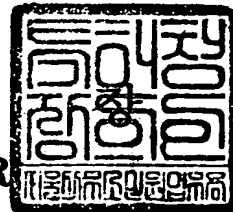
출원년월일 : 2001년 01월 15일
Date of Application

출원인 : 페어차일드코리아반도체 주식회사
Applicant(s)

2001 년 01 월 30 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2001.01.15
【국제특허분류】	H01L
【발명의 명칭】	높은 브레이크다운 전압을 갖는 고전압 반도체 소자 및 그 제조방법
【발명의 영문명칭】	High voltage semiconductor device having high breakdown voltage and method for fabricating the same
【출원인】	
【명칭】	페어차일드코리아반도체 주식회사
【출원인코드】	1-1999-025205-6
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-049858-3
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-050077-7
【발명자】	
【성명의 국문표기】	박찬호
【성명의 영문표기】	PARK, Chan Ho
【주민등록번호】	640102-1406122
【우편번호】	305-345
【주소】	대전광역시 유성구 신성동 153 하나아파트 103동 1007호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 4 면 4,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 7 항 333,000 원

【합계】 366,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명의 고전압 반도체 소자는, 제1 도전형의 고농도 컬렉터 영역과, 이 고농도 컬렉터 영역 위에 형성된 제1 도전형의 저농도 컬렉터 영역과, 이 저농도 컬렉터 영역 위에서 제2 도전형으로 형성되되, 가장자리 부분에서 수직 방향으로 저농도 컬렉터 영역을 관통하도록 형성된 트랜치를 갖는 베이스 영역과, 이 베이스 영역의 상부 일정 표면에 형성된 제1 도전형의 고농도 에미터 영역, 및 상호 절연되면서 에미터 영역, 베이스 영역 및 컬렉터 영역에 각각 전기적으로 연결되도록 형성된 에미터 전극, 베이스 전극 및 컬렉터 전극을 구비한다. 본 발명에 의하면 상기 트랜치의 존재로 인하여 적은 접합 종단부 면적으로도 높은 브레이크다운 전압을 갖도록 할 수 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

높은 브레이크다운 전압을 갖는 고전압 반도체 소자 및 그 제조 방법{High voltage semiconductor device having high breakdown voltage and method for fabricating the same}

【도면의 간단한 설명】

도 1은 종래의 복수개의 필드 리미팅 링을 사용한 고전압 반도체 소자의 접합 종단부를 나타내 보인 단면도이다.

도 2는 본 발명에 따른 고전압 반도체 소자의 접합 종단부를 나타내 보인 단면도이다.

도 3a 내지 도 3c 및 도 4a 내지 도 4c는 본 발명의 효과를 설명하기 위하여 나타내 보인 단면도들이다.

도 5는 본 발명에 따른 고전압 반도체 소자의 브레이크다운 전압을 트랜치 폭에 따라 나타내 보인 그래프이다.

도 6 내지 도 9는 본 발명에 따른 고전압 반도체 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

200...n ⁺ 형 반도체 기판	210...n-형 컬렉터 영역
220...p형 베이스 영역	230...n ⁺ 형 에미터 영역
240...에미터 전극	250...베이스 전극

260...컬렉터 전극

270, 290...절연막

280...트랜치

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 고전압 반도체 소자 및 그 제조 방법에 관한 것으로서, 보다 상세하게는 높은 브레이크다운 전압을 갖는 고전압 반도체 소자 및 그 제조 방법에 관한 것이다.

<13> 고전압 소자의 브레이크다운 전압은 소자의 내부 혹은 소자의 가장자리에서의 고전계 발생에 의해 감소될 수 있다. 이 중에서 소자의 가장자리에서의 고전계 발생을 억제시키는 대표적인 방법으로는 플로팅 필드 링(floating field ring)(또는 필드 리미팅 링(field limiting ring)이라고도 함)을 사용하는 방법이다. 이 플로팅 필드 링은 어떠한 전기적인 접촉 없이 주 접합(main junction) 부근에 형성하는 것으로서, 주 접합에 역 바이어스가 인가됨에 따라 형성되는 디플리션 영역의 경계를 표면을 따라 연장시킴으로써 특히 원통형 접합(cylindrical junction)에서의 전계 집중을 완화시켜준다. 이와 같은 플로팅 필드 링은 그 효과를 증대시키기 위하여 복수개를 형성할 수도 있는데 이를 도면을 참조하여 설명하면 다음과 같다.

<14> 도 1은 종래의 복수개의 필드 리미팅 링을 사용한 고전압 반도체 소자의 접합 종단부를 나타내 보인 단면도이다.

<15> 도 1을 참조하면, n^+ 형 컬렉터 영역(10) 위에 n -형 컬렉터 영역(11)이 형성되며, 이 n -형 컬렉터 영역(11)의 상부 표면에는 p 형 베이스 영역(12)이 형성된다. p 형 베이스

스 영역(12) 표면에는 n^+ 형 에미터 영역(13)이 형성된다. 한편 n -형 컬렉터 영역(11)의 상부 표면에는 p 형 베이스 영역(12)과 이격된 복수개의 플로팅 필드 링들(14a, 14b, 14c)이 형성된다. 도면에는 세 개의 플로팅 필드 링들만이 도시되어 있지만 더 많은 플로팅 필드 링들이 형성될 수도 있다는 것은 당연하다. 또한 n -형 컬렉터 영역(11)의 상부 표면에는 n^+ 형 채널 스탑퍼(channel stopper)(15)가 최외각의 플로팅 필드 링(14c)과 일정 간격 이격되도록 형성된다. 그리고 에미터 전극(16), 베이스 전극(17), 컬렉터 전극(18) 및 등전위 전극(19)은 각각 에미터 영역(13), 베이스 영역(12), 컬렉터 영역(10) 및 채널 스탑퍼(15)와 전기적으로 연결되도록 형성되며, 각 전극들은 절연막(20)에 의해 상호 절연된다. 한편, 플로팅 필드 링들(14a, 14b, 14c) 위의 절연막(20) 위에는 복수개의 필드 플레이트들(21a, 21b, 21c)들이 형성된다.

<16> 이와 같은 구조의 고전압 반도체 소자에 있어서, n -형 컬렉터 영역(11)과 p 형 베이스 영역(12)에 의해 형성되는 pn 정선에 역 바이어스가 인가되는 경우, 디플리션 영역은 각 영역으로 확장하면서 형성되는데, 이때 플로팅 필드 링들(14a, 14b, 14c)의 존재로 인하여 이 디플리션 영역의 경계가 플로팅 필드 링들(14a, 14b, 14c)의 주위로 연장되어서 원통형 접합에 의한 전계 집중을 완화시켜주며, 이에 따라 소자의 브레이크다운 전압을 증가한다.

<17> 그러나 상기와 같은 복수개의 플로팅 필드 링들을 사용하는 방법은 소자의 브레이크다운 전압 향상에 대해서는 많은 효과를 나타내지만 필연적으로 소자의 보다 많은 접합 종단부 면적을 요구한다는 단점이 있다.

<18> 상기 플로팅 필드 링을 사용하는 방법 이외에도, 접합 종단부에서의 고전계 인가를

억제시키는 방법으로서, 필드 플레이트를 사용하는 방법, 에치 칸투어(etch contour) 기술, 베벨 에지 터미네이션(bevel edge termination) 기술, 정션 터미네이션 연장(junction termination extension) 기술, 가변 수평 도핑(variation lateral doping) 기술 및 반절연 폴리실리콘막을 사용하는 방법이 잘 알려져 있다. 그러나 이와 같은 방법들은 모두 높은 브레이크다운 전압을 얻기 위하여 넓은 접합 종단부 면적을 요구한다는 공통적인 단점을 가지고 있다.

【발명이 이루고자 하는 기술적 과제】

<19> 본 발명이 이루고자 하는 기술적 과제는 비교적 작은 접합 종단부 면적으로도 높은 브레이크다운 전압을 갖는 고전압 반도체 소자를 제공하는 것이다.

<20> 본 발명이 이루고자 하는 다른 기술적 과제는 상기와 같은 고전압 반도체 소자를 제조하는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<21> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 고전압 반도체 소자는, 제1 도전형의 고농도 컬렉터 영역; 상기 고농도 컬렉터 영역 위에 형성된 제1 도전형의 저농도 컬렉터 영역; 상기 저농도 컬렉터 영역 위에서 제2 도전형으로 형성되되, 가장자리 부분에서 수직 방향으로 상기 저농도 컬렉터 영역을 관통하도록 형성된 트랜치를 갖는 베이스 영역; 상기 베이스 영역의 상부 일정 표면에 형성된 제1 도전형의 고농도 에미터 영역; 및 상호 절연되면서 상기 에미터 영역, 베이스 영역 및 컬렉터 영역에 각각 전기적으로 연결되도록 형성된 에미터 전극, 베이스 전극 및 컬렉터 전극을 구비하는 것을 특징으로 한다.

- <22> 본 발명에 있어서, 상기 트렌치 내부를 채우는 절연막을 더 포함할 수도 있다.
- <23> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명에 따른 고전압 반도체 소자의 제조 방법은, 제1 도전형의 고농도 컬렉터 영역과 저농도 컬렉터 영역으로 이루어진 반도체 기판을 준비하는 단계; 상기 저농도 컬렉터 영역 위에 제2 도전형의 베이스 영역을 형성하는 단계; 상기 베이스 영역의 상부 일정 영역에 제1 도전형의 고농도 에미터 영역을 형성하는 단계; 상기 에미터 영역과 일정 간격 이격된 상기 베이스 영역의 가장자리 부분에 상기 베이스 영역과 상기 저농도 컬렉터 영역을 관통하는 트렌치를 형성하는 단계; 및 상기 에미터 영역, 베이스 영역 및 반도체 기판과 각각 연결된 에미터 전극, 베이스 전극 및 컬렉터 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <24> 상기 트렌치는 반응성 이온 식각법을 사용하여 형성하는 것이 바람직하다. 이때 상기 반응성 이온 식각은 Cl_2 가스 또는 SF_6 가스를 반응 가스로 사용하여 수행할 수 있다.
- <25> 상기 트렌치의 폭은 상기 트렌치 깊이의 1/10배가 되도록 하는 것이 바람직하다.
- <26> 이하 첨부 도면을 참조하면서 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 다음에 설명되는 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술되는 실시예에 한정되는 것은 아니다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다. 본 발명의 실시예들을 설명하는 도면에 있어서, 어떤 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되어진 것으로, 도면상의 동일한 부호는 동일한 요소를 지칭한다. 또한, 어떤 층이 다른 층 또는 기판의 '상부'에 있다고 기재된 경우, 상기 어떤 층이 상기 다른 층 또는 기판의 상부에 직접 존재할 수도 있고, 그 사이에 제3의 층이

개재될 수도 있다.

<27> 도 2는 본 발명에 따른 고전압 반도체 소자의 접합 종단부를 나타내 보인 단면도이다.

<28> 도 2를 참조하면, 고농도의 제1 도전형, 예컨대 n^+ 형 컬렉터 영역(200) 위에 저농도의 제1 도전형, 예컨대 n -형 컬렉터 영역(210)이 형성된다. 이 n -형 컬렉터 영역(210) 위에는 제2 도전형, 예컨대 p 형 베이스 영역(220)이 형성된다. p 형 베이스 영역(220)의 상부 표면에는 n^+ 형 에미터 영역(230)이 형성된다. 에미터 전극(240), 베이스 전극(250) 및 컬렉터 전극(260)은 n^+ 형 에미터 영역(230), p 형 베이스 영역(220) 및 n^+ 형 컬렉터 영역(200)과 전기적으로 각각 연결되도록 형성된다. 특히 에미터 전극(240)과 베이스 전극(250)은 절연막(270)에 의해 상호 절연된다.

<29> 상기 p 형 베이스 영역(220)의 가장자리에는 p 형 베이스 영역(220)을 관통하여 n -형 컬렉터 영역(210)까지 관통하는 트렌치(280)가 형성된다. 이 트렌치(280)는 산화막과 같은 절연막(290)으로 그 내부가 채워질 수도 있다. 상기 트렌치(280)의 깊이는 브레이크다운 전압의 크기에 따라 달라질 수 있다. 예를 들면, 브레이크다운 전압이 500V 내지 2000V 정도의 값을 가질 경우, 대략 50-200 μ m가 되도록 하며, 이 경우 트렌치(280)의 폭(W)은 트렌치(280) 깊이의 1/10배인 대략 5-20 μ m가 되도록 하는 것이 바람직하다. 상기 트렌치(280)의 폭(W)에 따라 디플리션 영역의 형상이 변화되고, 이 디플리션 영역의 형상에 따라 소자의 브레이크다운 전압 특성이 변화되는데 이를 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

<30> 도 3a 내지 도 3c는 본 발명에 따른 고전압 반도체 소자의 트렌치(280) 폭이 1 μ m인

경우에 형성된 디플리션 영역의 형상을 여러 범위의 컬렉터 전압을 인가하였을 때를 비교하여 나타내 보인 단면도들이다. 도 3a 내지 도 3c에서 도 2와 동일한 참조 부호는 동일한 영역 또는 층을 나타낸다.

<31> 구체적으로, 도 3a는 트랜치(280) 폭이 $1\mu\text{m}$ 구조에서 컬렉터 전압이 100V인 경우로서, 이 경우에 n-형 컬렉터 영역(210) 방향으로 확장되면서 형성되는 디플리션 영역(300)은 트랜치(280)에 접근할수록 구부러진 형상을 갖게 된다('A' 참조). 즉 브레이크다운 전압이 가장 높게 나타나는 플레너 접합 효과가 나타나지는 않는다. 이와 같은 현상은 높은 컬렉터 전압이 인가될수록 심하게 나타난다. 즉 컬렉터 전압이 200V인 경우를 나타낸 도 3b 및 컬렉터 전압이 300V인 경우를 나타낸 도 3c에 도시된 바와 같이, 트랜치(280)에 가까운 영역(A)에 형성된 디플리션 영역(300)은 그 구부러진 정도가 보다 더 심해지며, 따라서 이 부분에서의 브레이크다운 전압의 감소로 인하여 전체 브레이크다운 전압의 증가 효과가 떨어진다.

<32> 도 4a 내지 도 4c는 본 발명에 따른 고전압 반도체 소자의 트랜치(280) 폭이 $10\mu\text{m}$ 인 경우에 형성된 디플리션 영역의 형상을 여러 범위의 컬렉터 전압을 인가하였을 때를 비교하여 나타내 보인 단면도들이다. 도 4a 내지 도 4c에서 도 2와 동일한 참조 부호는 동일한 영역 또는 층을 나타낸다.

<33> 구체적으로, 도 4a는 컬렉터 전압이 500V인 경우로서, 이 경우에 n-형 컬렉터 영역(210) 방향으로 확장되면서 형성되는 디플리션 영역(300)은 트랜치(280)에 접근하더라도 평평한 형상을 갖게 된다('A' 참조). 따라서 브레이크다운 전압이 가장 높게 나타나는 플레너 접합 효과가 나타나며, 이로 인하여 소자의 접합 종단부에서의 브레이크다운 전압이 크게 향상된다. 또한 컬렉터 전압이 1000V인 경우를 나타낸 도 4b에 도시된 바와

같이, 트랜치(280)에 가까운 영역까지의 디플리션 영역(300)의 형상은 평평한 형상을 가진다. 마찬가지로, 컬렉터 전압이 각각 1500V인 경우를 나타내는 도 4c에 도시된 바와 같이, 트랜치(280)에 가까운 영역까지의 디플리션 영역(300)의 형상은 평평한 형상을 가지며, 디플리션 영역(300)은 이상적인 플래너 접합 특성을 나타낸다.

<34> 도 5는 본 발명에 따른 고전압 반도체 소자의 트랜치 폭의 변화에 따른 소자의 브레이크다운 전압의 변화를 나타내 보인 그래프이다.

<35> 도 5에 도시된 바와 같이, 트랜치(280)의 폭(W)이 $10\mu\text{m}$ 이상이 되면 브레이크다운 전압의 크기가 거의 변화하지 않고 포화 상태가 되는 것을 알 수 있다. 그러나 트랜치(280)의 폭(W)이 $10\mu\text{m}$ 이하가 되면, 특히 적으면 적을수록 브레이크다운 전압의 크기가 적어지며, 트랜치(280)의 폭(W)이 $1\mu\text{m}$ 가 되면 브레이크다운 전압의 크기가 가장 작아지는 것을 알 수 있다. 즉 트랜치(280)의 폭(W)이 작을수록 트랜치(280) 내부의 산화막(290)에 의한 정전용량성 커플링(capacitive coupling)에 의해 트랜치(280) 오른쪽 영역까지 일정 전압이 인가되며, 이로 인하여 디플리션 영역 내의 전하 중성 조건(charge neutrality condition)에 의해 디플리션 영역이 표면 방향으로 치우치게 되고, 이 치우침으로 인하여 구부러진 형상을 갖게 되는 디플리션 영역으로 높은 전계가 밀집되기 때문에 상대적으로 낮은 전압에서도 브레이크다운이 발생되게 된다.

<36> 아래의 표 1은 본 발명에 따른 고전압 반도체 소자의 트랜치 폭에 따른 어스펙트 비(aspect ratio)와 브레이크다운 전압을 나타낸다.

<37>

【표 1】

트렌치 폭	1 μ m	2 μ m	5 μ m	10 μ m	20 μ m
어스펙트 비	160:1	80:1	32:1	16:1	8:1
브레이크다운 전압	302V	495V	1760V	2310V	2310V

<38> 표 1에서 알 수 있듯이, 트렌치 폭이 10 μ m 이상에서는 브레이크다운 전압이 대략 2310V의 일정하게 큰 값을 가지게 된다.

<39> 아래의 표 2는 다양한 접합 종단부 구조에 따른 브레이크다운 전압 및 접합 종단부 면적을 나타낸다.

<40> 【표 2】

접합 종단부 구조	브레이크다운 전압	접합 종단부 면적
필드 플레이트 구조	60	
복수개의 필드 리미팅 링 구조	80	100
에치 칸투어 구조	90	64
베벨 에지 터미네이션 구조	100	
정선 터미네이션 연장 구조	95	75
반절연 폴리실리콘막 구조	80	36
본 발명에 따른 트렌치 구조	92	4

<41> 표 2에서, 브레이크다운 전압은 베벨 에지 터미네이션 구조가 100인 경우를 기준으로 비교하였을 때의 상대적인 브레이크다운 전압을 나타내었으며, 접합 종단부 면적은 복수개의 필드 플레이트 구조가 100인 경우를 기준으로 비교하였을 때의 상대적인 면적을 나타내었다. 상기 표 2에서 알 수 있듯이, 본 발명에 따른 고전압 반도체 소자는 이 상적인 브레이크다운 전압의 92% 수준을 얻으면서도, 접합 종단부 면적은 복수개의 필드 리미팅 링 구조와 비교하여 불과 4%만을 요구하는 것을 알 수 있다.

<42> 도 6 내지 도 9는 본 발명에 따른 고전압 반도체 소자의 제조 방법을 설명하기 위하여 나타내 보인 단면도들이다.

<43> 먼저 도 6을 참조하면, 고농도의 제1 도전형, 예컨대 n^+ 형 반도체 기판(200)을 고농도 컬렉터 영역으로 사용하고, 상기 n^+ 형 반도체 기판(200) 위에 저농도의 제1 도전형, 예컨대 n -형 컬렉터 영역(210)을 형성한다. 상기 n -형 컬렉터 영역(210)은 에피택셜 성장법을 사용하여 소망하는 브레이크다운 전압에 적당한 대략 $50\text{-}200\mu\text{m}$ 의 두께를 갖도록 형성하는 것이 바람직하다. 만약 삼중 확산형 트랜지스터 구조인 경우에는, n -형 저농도 컬렉터 기판의 뒷면에 n^+ 형의 고농도 컬렉터 영역을 확산에 의해 형성한다. 다음에 n -형 컬렉터 영역(210) 전면에서 제1 도전형과 반대인 제2 도전형, 예컨대 p 형의 불순물 이온들을 주입하고, 이어서 드라이브-인 확산 공정을 수행하여 n -형 컬렉터 영역(210)의 상부 영역에 p 형 베이스 영역(220)을 형성한다. 상기 드라이브-인 확산 공정은 대략 1200°C 이상의 고온에서 장시간동안 수행하여 주입된 불순물 이온들을 확산시킨다. 그리고 열산화 공정을 진행하여 표면에 산화막(270)을 형성한다.

<44> 다음에 도 7을 참조하면, p 형 베이스 영역(220)과 산화막(270) 위에 마스크막 패턴, 예컨대 포토레지스트막 패턴(미도시)을 형성하고, 식각 공정을 통하여 산화막(270)의 일부분에 p 형 베이스 영역(220) 내의 n^+ 형 에미터 영역이 형성될 부분을 오픈시키는 개구부(271)를 만든다. 다음에 이 산화막(270)을 불순물 주입 마스크로 하여 n 형 불순물들을 주입시킨다. 그러면 n 형 불순물들이 p 형 베이스 영역(220)의 상부 표면 중에서 n^+ 형 에미터 영역이 형성될 부분에 주입된다.

<45> 다음에 도 8을 참조하면, p 형 베이스 영역(220) 내에 주입된 n 형 불순물들을 드라이브-인 확산시켜 n^+ 형 에미터 영역(230)을 형성하고, 열산화 공정을 통하여 표면에 산화막(270)을 다시 성장시킨다. 다음에 상기 p 형 베이스 영역(220)과 n^+ 형 에미터 영역(230)의 표면을 덮는 산화막(270) 위에 포토레지스트막 패턴(520)을 형성한다. 이 포토

레지스트막 패턴(520)은 산화막(270)의 일부 표면을 노출시키는 개구부(530)를 가진다.

<46> 다음에 도 9를 참조하면, 상기 포토레지스트막 패턴(도 8의 520)을 식각 마스크로 산화막(270)을 식각하고 상기 포토레지스트막 패턴(520)을 제거한다. 다음에 산화막(270)을 식각 마스크로 사용한 반응성 이온 식각 공정을 수행하여, p형 베이스 영역(220) 및 n-형 컬렉터 영역(210)을 관통하는 일정한 폭의 트렌치(280)를 형성한다. 보다 상세히 설명하면, 도 8의 구조체를 반응성 이온 식각 챔버에 로딩한 후에, 클로린 기반의 플라즈마(chlorine based plasma) 또는 플로린 기반의 플라즈마(fluorine based plasma)를 형성하여 이방성 식각을 수행한다. 상기 클로린 기반의 플라즈마 형성을 위한 반응 가스로서 Cl_2 가스를 사용하는 것이 바람직하며, 또는 상기 플로린 기반의 플라즈마 형성을 위한 반응 가스로서는 SF_6 가스를 사용하는 것이 바람직하다. 상기 트렌치(280)의 깊이(D)는 소망하는 브레이크다운 전압에 따라 다르게 형성한다. 예를 들면 대략 500-2000V의 브레이크다운 전압을 얻기 위해서는 대략 50-200 μm 의 깊이(D)가 되도록 하고, 폭(W)은 깊이(D)의 1/10배인 대략 5-20 μm 가 되도록 한다.

<47> 상기 반응성 이온 식각 공정이 종료되면, 상기 트렌치(280)의 표면과 내부를 화학 기상 증착법에 의하여 산화막과 같은 절연막(290)으로 채운다. 그리고 마스크막을 사용하여 에미터 컨택 부분과 베이스 컨택 부분을 노출시키는 개구부를 형성한다. 다음에 n⁺형 에미터 영역(230)과 연결되는 에미터 전극(240) 및 p형 베이스 영역(220)과 연결되는 베이스 전극(250)을 형성하고, 이어서 n⁺형 반도체 기판(200)과 연결되는 컬렉터 전극(260)을 형성한다.

【발명의 효과】

<48> 이상의 설명에서와 같이, 본 발명에 따른 고전력 반도체 소자 및 그 제조 방법에

의하면, 반응성 이온 식각 공정을 이용하여 p형 베이스 영역을 관통하여 n-형 컬렉터 영역의 일정 깊이까지 형성된 트랜치로 인하여 그 접합 종단부에서의 접합을 이상적인 플래너 접합 구조에 가깝게 할 수 있으며, 이로 인하여 브레이크다운 전압을 향상시킬 수 있다. 그리고 채널 스탑 영역 및 등전위 전극이 불필요하고 또한 상대적으로 좁은 폭의 트랜치를 형성함으로 인하여 다른 접합 종단 구조에 비하여 상당히 적은 접합 종단부 면적만이 요구된다는 이점이 있다. 또한 그 제조 방법에 있어서도 베이스 영역 형성시에 마스크막을 사용하지 않고 트랜치 형성시에 마스크막 사용이 추가되므로, 통상의 고전압 반도체 소자의 제조에 필요한 마스크 개수와 동일한 개수의 사용으로 그 제조가 가능하다.

【특허청구범위】**【청구항 1】**

제1 도전형의 고농도 컬렉터 영역;

상기 고농도 컬렉터 영역 위에 형성된 제1 도전형의 저농도 컬렉터 영역;

상기 저농도 컬렉터 영역 위에서 제2 도전형으로 형성되되, 가장자리 부분에서 수직 방향으로 상기 저농도 컬렉터 영역을 관통하도록 형성된 트랜치를 갖는 베이스 영역;

상기 베이스 영역의 상부 일정 표면에 형성된 제1 도전형의 고농도 에미터 영역;
및

상호 절연되면서 상기 에미터 영역, 베이스 영역 및 컬렉터 영역에 각각 전기적으로 연결되도록 형성된 에미터 전극, 베이스 전극 및 컬렉터 전극을 구비하는 것을 특징으로 하는 고전압 반도체 소자.

【청구항 2】

제1항에 있어서,

상기 트랜치의 폭은 상기 트랜치 깊이의 1/10배인 것을 특징으로 하는 고전압 반도체 소자.

【청구항 3】

제1항에 있어서,

상기 트랜치 내부를 채우는 산화막을 더 포함하는 것을 특징으로 하는 고전압 반도체 소자.

【청구항 4】

제1 도전형의 고농도 컬렉터 영역과 저농도의 컬렉터 영역으로 이루어진 반도체 기판을 준비하는 단계;

상기 저농도 컬렉터 영역 위에 제2 도전형의 베이스 영역을 형성하는 단계;

상기 베이스 영역의 상부 일정 영역에 제1 도전형의 고농도 에미터 영역을 형성하는 단계;

상기 에미터 영역과 일정 간격 이격된 상기 베이스 영역의 가장자리 부분에 상기 베이스 영역 및 상기 저농도 컬렉터 영역을 관통하는 트렌치를 형성하는 단계; 및

상기 에미터 영역, 베이스 영역 및 반도체 기판과 각각 연결된 에미터 전극, 베이스 전극 및 컬렉터 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 고전압 반도체 소자의 제조 방법.

【청구항 5】

제4항에 있어서,

상기 트렌치는 반응성 이온 식각법을 사용하여 형성하는 것을 특징으로 하는 고전압 반도체 소자의 제조 방법.

【청구항 6】

제5항에 있어서,

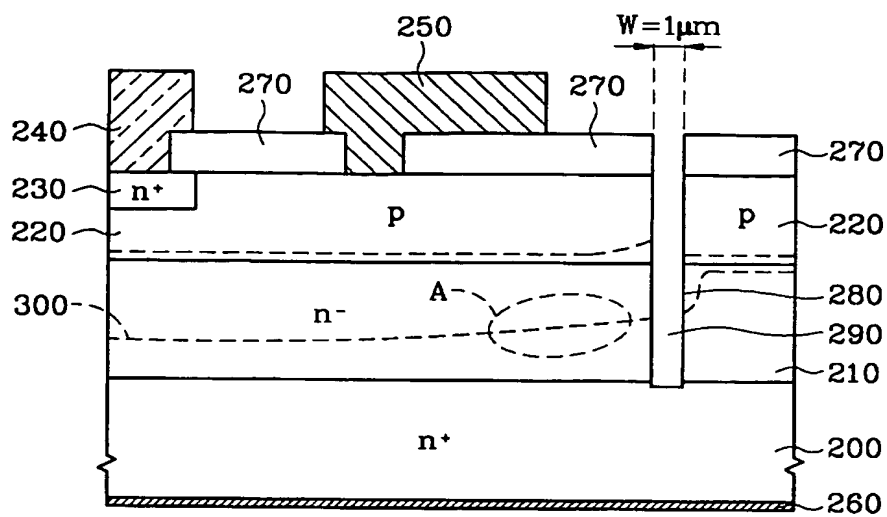
상기 반응성 이온 식각은 Cl_2 가스 또는 SF_6 가스를 반응 가스로 사용하여 수행하는 것을 특징으로 하는 고전압 반도체 소자의 제조 방법.

【청구항 7】

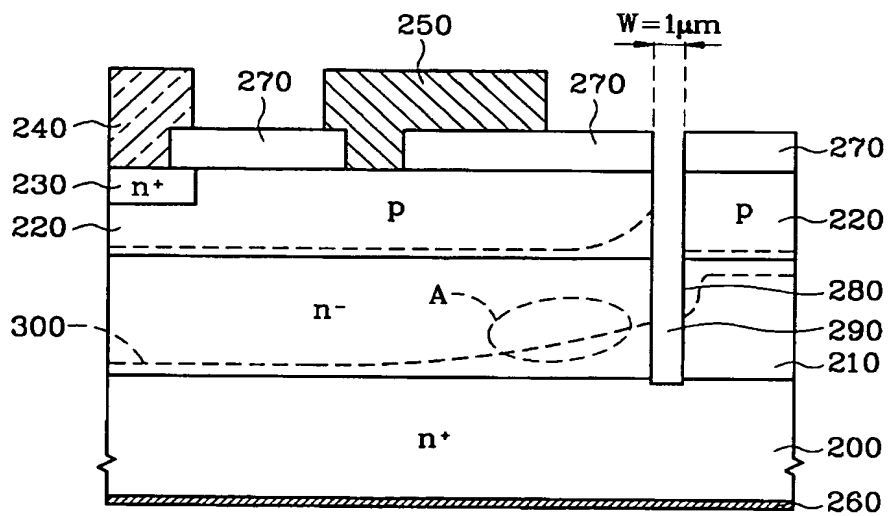
제4항에 있어서,

상기 트렌치의 폭은 상기 트렌치 깊이의 1/10배인 것을 특징으로 하는 고전압 반도체 소자의 제조 방법.

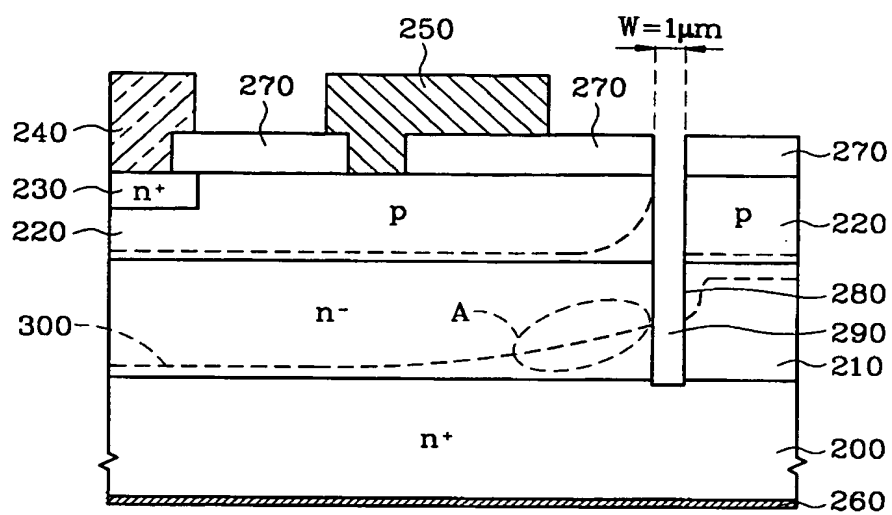
【図 3a】



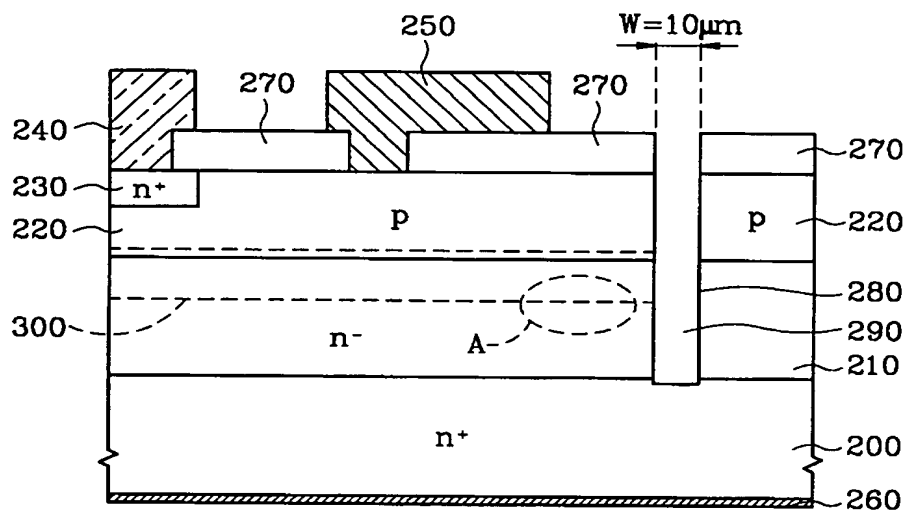
【図 3b】



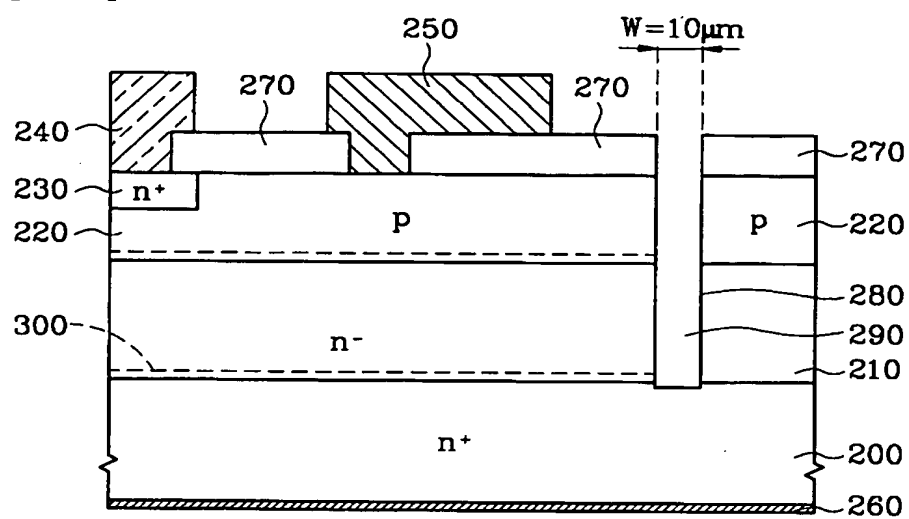
【図 3c】



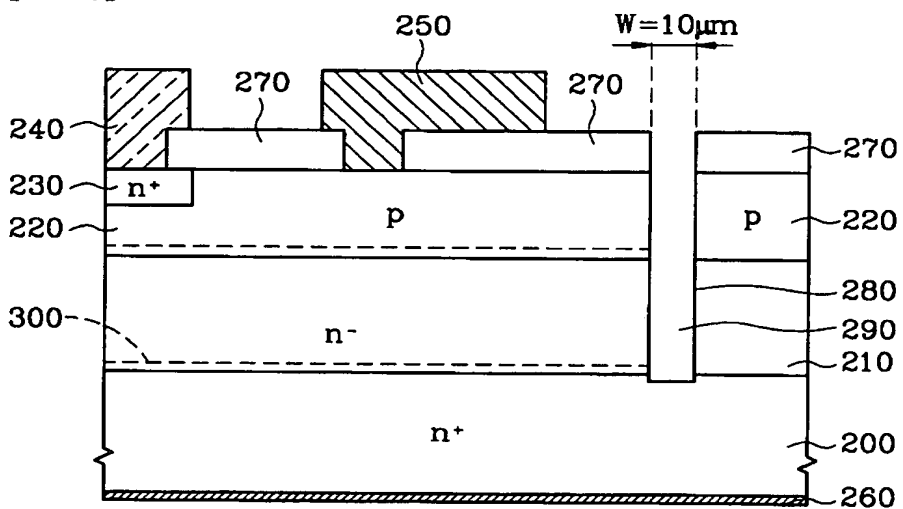
【図 4a】



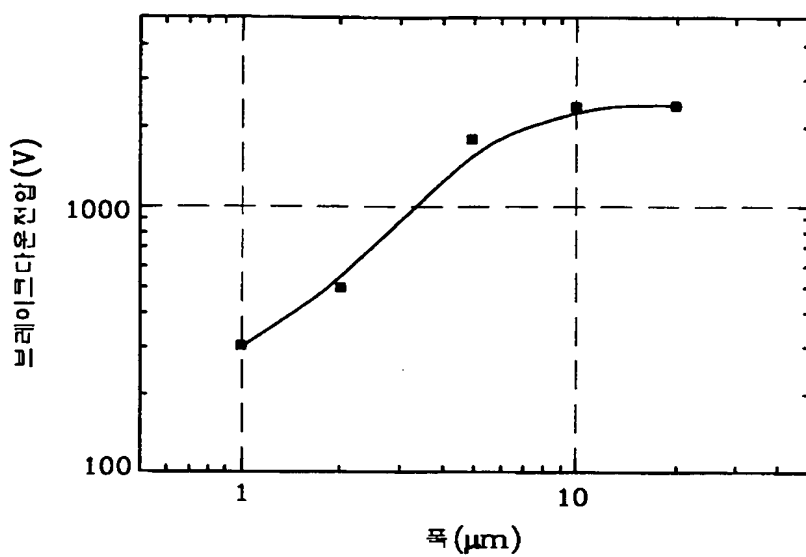
【図 4b】



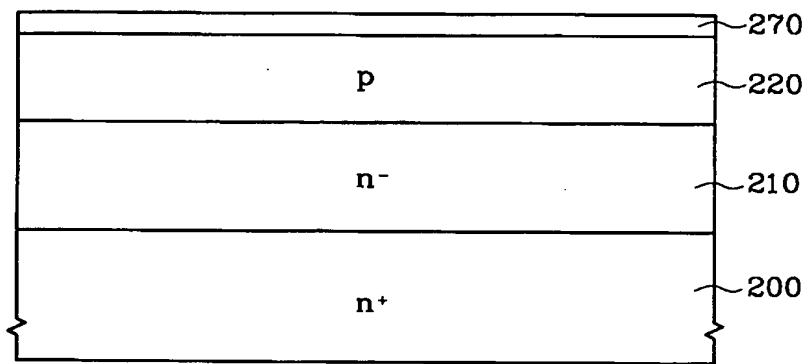
【図 4c】



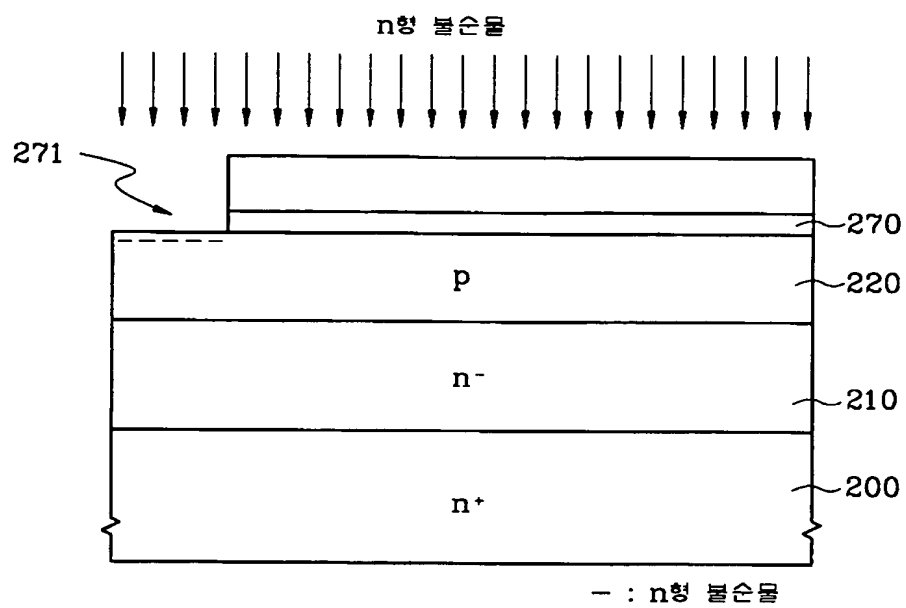
【도 5】



【도 6】



【도 7】



【도 8】

